

1/3/4 (Item 4 from file: 351)

DIALOG(R)File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

JC05 Rec'd PCT/PTO 14 SEP 2005

10/549447

011865534 **Image available**

WPI Acc No: 1998-282444/ 199825

XRAM Acc No: C98-087506

XRPX Acc No: N98-222978

Substrate separation method for blue LED, blue LD - involves etching light emitting layer and second conductive layer so that electrode formation area where electrode for first conductive layer is formed, is exposed

Patent Assignee: TOYODA GOSEI KK (TOZA)

Inventor: HIRANO A; SHIBATA N; UEMURA T

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10098212	A	19980414	JP 96271628	A	19960920	199825 B
US 6033927	A	20000307	US 9816809	A	19980130	200019 N

Priority Applications (No Type Date): JP 96271628 A 19960920; US 9816809 A 19980130

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10098212	A	7	H01L-033/00	
US 6033927	A		H01L-021/304	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098212
 (43)Date of publication of application : 14.04.1998

(51)Int.CI. H01L 33/00
 H01L 21/301
 H01S 3/18

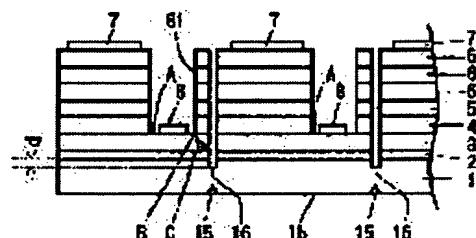
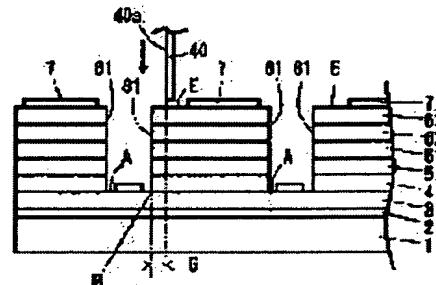
(21)Application number : 08-271628 (71)Applicant : TOYODA GOSEI CO LTD
 (22)Date of filing : 20.09.1996 (72)Inventor : SHIBATA NAOKI
 HIRANO ATSUO
 KAMIMURA TOSHIYA

(54) SUBSTRATE SEPARATION IN III-NITRIDE SEMICONDUCTOR LIGHT-EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent cracks appearing from extending to an element region at the time of dicing.

SOLUTION: Using a blade 40 which is narrower in width than the width W of a processed region E between electrodes of devices, an electrode 7 of each device is diced to 15μm depth in the surface of a sapphire substrate 1, along a dicing line 20 set at the center of the processed region E to form a separating recess 16. At that time, in a region G between the side face 40a of the blade 40 and a side wall 81 of an electrode formation region A, a first contact layer 63, a second contact layer 62, a p-type layer 61, a light-emitting layer 5, and an n-type layer 4 exist. Therefore, the stress concentrates on a cross line B, between the electrode formation region A and the side wall 81 which forms an L shape with the electrode formation region A, and a crack C appearing at the time of dicing is formed toward the cross line B. As a result, the crack C does not extend to the electrode formation region A or under and electrode 8, thereby inhibiting to block a current channel of the electrode 8 by the crack C.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3239774

[Date of registration] 12.10.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int. Cl. ⁶	識別記号	F I
H01L 33/00		H01L 33/00
21/301		C
H01S 3/18		H01L 21/78
		V
		Q

審査請求 未請求 請求項の数 4 FD (全 7 頁)

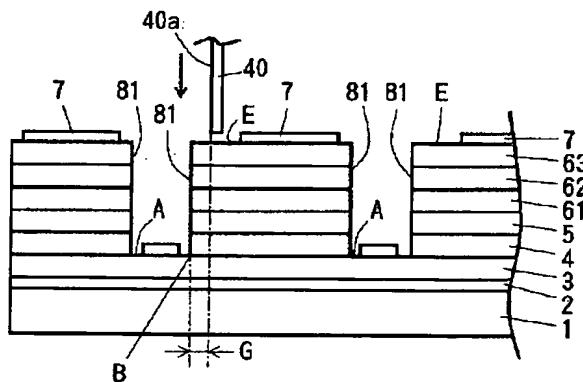
(21)出願番号	特願平8-271628	(71)出願人	000241463 豊田合成株式会社 愛知県西春日井郡春日町大字落合字長畑1 番地
(22)出願日	平成8年(1996)9月20日	(72)発明者	柴田 直樹 愛知県西春日井郡春日町大字落合字長畑1 番地 豊田合成株式会社内
		(72)発明者	平野 敏雄 愛知県西春日井郡春日町大字落合字長畑1 番地 豊田合成株式会社内
		(72)発明者	上村 俊也 愛知県西春日井郡春日町大字落合字長畑1 番地 豊田合成株式会社内
		(74)代理人	弁理士 藤谷 修

(54)【発明の名称】3族窒化物半導体発光素子の基板分離方法

(57)【要約】

【課題】ダイシング時に発生するクラックの素子領域への侵入の防止

【解決手段】各素子の電極7間の加工領域Eの中央に設定されたダイシングライン20に沿って、加工領域Eの幅Wよりも狭い幅のブレード40を用いてサファイア基板1の表面から15μmの深さまでダイシングし、分離溝16を形成する。この時、ブレード40の側面40aと電極形成領域Aの側壁81との間の領域Gには、第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4が存在する。よって、応力は電極形成領域AとL字形状に立設された側壁81との交線Bに集中することになり、ダイシング時に発生するクラックCはこの交線Bに向かって形成される。この結果、クラックCは電極形成領域A、従って、電極8の下部には侵入しない。よって、電極8に対する電流路がクラックCによって妨害されることがない。



【特許請求の範囲】

【請求項 1】 基板と、光を出力する発光層と、この発光層を挟み発光層に対して電流を供給し、基板に近い側に形成された第1の伝導形を示す第1層と基板に遠い側に形成され前記第1の伝導形と異なる第2の伝導形を示す第2層とを有し、それらの各層が3族窒化物半導体で形成された発光素子の基板分離方法において、前記第1層に対する電極形成領域が露出するように、その形成領域の前記第2層、前記発光層をエッティングして除去し、

露出した前記電極形成領域において、その電極形成領域よりも狭い範囲で前記第1層に対する第1電極を形成し、前記電極形成領域の周辺部とブレードの側面との間に前記発光層と前記第2層とが存在する位置において、ダイシングすることを特徴とする3族窒化物半導体発光素子の基板分離方法。

【請求項 2】 前記ダイシングは、前記第2層、前記発光層、前記第1層の各層が除去され前記基板の表面に分離溝が形成されるまで行われ、

前記基板の裏面において前記分離溝に対応する位置をスクライプし、

前記基板に荷重をかけて、前記基板を各チップ毎に分離することを特徴とする3族窒化物半導体発光素子の基板分離方法。

【請求項 3】 前記第1層に対する電極形成領域を露出させる前記エッティングは、前記ブレードの加工領域を除き、前記発光層と前記第2層との発光領域の周囲をも同時に除去するものであり、

前記ダイシングは、前記加工領域の幅よりも狭い幅のブレードを用いて、そのブレードの両側に前記発光層と前記第2層とが残る位置において行われることを特徴とする請求項1又は請求項2に記載の3族窒化物半導体発光素子の基板分離方法。

【請求項 4】 前記基板はサファイアであることを特徴とする請求項1乃至請求項3のいずれかに記載の3族窒化物半導体発光素子の基板分離方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、青色発光ダイオード、青色レーザダイオード等の発光素子に用いられる3族窒化物半導体発光素子のチップ分離方法に関する。

【0002】

【従来の技術】 従来、図9に示すように、サファイア基板1上にn層3、4と発光層5とp層61、62、63とを、順次、積層して、発光層5とp層61、62、63とn層4の一部を除去してn層3の一部を露出させ、この露出した電極形成領域Aにn層3、4のための電極8を形成し、p層63の上面にそのp層61、62、63のための電極7を形成した窒化ガリウム系化合物半導

体を用いた発光素子が知られている。そして、発光素子チップの製造方法として、特開平5-343742号公報に記載されたものがある。この方法は、n層の電極形成領域Aを形成するためのエッティング工程において、素子分離を行うためのブレード40による加工領域Eにおいてもn層3を露出させ、次に、その露出した加工領域Eのn層3をサファイア基板1までブレード40でダイシングして、その後にサファイア基板1をダイシング又はスクライピングして各チップに分離するものである。

【0003】

【発明が解決しようとする課題】 上記方法による分離方法は、n層3のための電極形成領域Aとブレード40による加工領域Eとが連続するようにエッティングされ、そのn層3が露出した加工領域Eにおいて、加工線20に沿ってダイシングするものである。しかしながら、このダイシング工程において、ブレード40による回転力のために、n層3にクラックCが発生し、そのクラックCは電極8の下部に至る。この結果、n層3の電流路にクラックCが介在することになり、そのクラックCが電流供給量の低下、電流路の遮断等の原因となり、製造歩留りが低下し、発光効率が低下し、素子寿命が低下していく。

【0004】

本発明は、このような課題を解決するため成されたものであり、その目的は、ブレードによるダイシング時に発生するクラックが素子領域にまで侵入しないようにすることで、製造歩留りの向上、発光効率の向上、素子寿命の向上を図ることである。

【0005】

【課題を解決するための手段】 請求項1の発明は、基板と、光を出力する発光層と、この発光層を挟み発光層に対して電流を供給し、基板に近い側に形成された第1の伝導形を示す第1層と基板に遠い側に形成され第1の伝導形と異なる第2の伝導形を示す第2層とを有し、それらの各層が3族窒化物半導体で形成された発光素子の基板分離方法において、第1層に対する電極形成領域が露出するように、その電極形成領域の第2層、発光層をエッティングして除去し、露出した電極形成領域において、その電極形成領域よりも狭い範囲で第1層に対する第1電極を形成し、電極形成領域の周辺部とブレードの側面との間に発光層と第2層とが存在する位置において、ダイシングすることを特徴とする。

【0006】 請求項2の発明は、ダイシングが、第2層、発光層、第1層の各層が除去され基板の表面に分離溝が形成されるまで行われ、さらに、基板の裏面において溝に対応する位置をスクライプし、基板に荷重をかけて、基板を各チップ毎に分離することを特徴とする。

【0007】 請求項3の発明は、第1層に対する電極形成領域を露出させるエッティングは、ブレードの加工領域を除き、発光層と第2層との発光領域の周囲をも同時に除去するものであり、ダイシングは、加工領域の幅より

も狭い幅のブレードを用いて、そのブレードの両側に発光層と第2層とが残る位置において行われることを特徴とする。

【0008】請求項4の発明は、基板をサファイアとしたことを特徴とする。

【0009】

【作用及び発明の効果】請求項1の発明では、ダイシング時に、露出させた電極形成領域の周辺とブレードの側面との間に、発光層と第2層とが存在する。即ち、電極形成領域は周囲よりも薄く、その周辺部は、発光層と第2層の側壁で囲まれて、L字形状の段差が生じている。この段差のため、この段差の角部に応力を集中させることができ、ダイシング時に受ける歪みにより発生するクラックを、ブレードの先端部側面と段差の角部との間に閉じ込めることができる。よって、クラックが電極形成領域上に形成される第1電極の下部に伸びて形成されることが減少するために、クラックが電流路に介在することが防止され、製造歩留りが向上し、発光効率が向上し、素子寿命が向上する。

【0010】請求項2の発明では、ダイシングを基板の表面に分離溝が形成されるまで行う、いわゆるハーフカットとし、基板の裏面において分離溝に対応する位置をスクライプし、基板に荷重をかけて、基板を各チップ毎に分離するようにしている。よって、ダイシングで基板を完全に切断する場合に比べて、ブレードに対する負荷が小さくなり、クラックの発生を抑制することができると共に、ブレードの寿命を向上させることができる。

【0011】請求項3の発明は、第1層に対する電極形成領域を露出させるエッチングにおいて、ブレードの加工領域を除き、発光層と第2層との発光領域の周囲をも同時に除去している。よって、ブレードの加工領域と発光領域との間は、発光層と第2層が存在しない溝が形成されることになる。そして、ダイシングは、加工領域の幅よりも狭い幅のブレードを用いて、そのブレードの両側に発光層と第2層とが残る位置において行われる。この結果、ブレードの両側面と発光領域を囲む溝との間には、発光層と第2層とが存在する。即ち、電極形成領域及び発光領域の周囲の溝は周囲よりも薄く、その周辺部は、発光層と第2層の側壁で囲まれて、L字形状の段差を生じている。請求項1の発明と同様に、この段差のため、この段差の角部に応力を集中させることができ、ダイシング時に受ける歪みにより発生するクラックを、ブレードの先端部の両側面と段差の角部との間に閉じ込めることができる。よって、クラックが電極形成領域上に形成される第1電極の下部及び発光領域の下部に伸びて形成されることが減少するために、クラックの電流路に対する悪影響が防止されるので、製造歩留りが向上し、発光効率が向上し、素子寿命が向上する。

【0012】又、請求項4の発明は基板をサファイアとしたことを特徴としており、脆いサファイア基板の切断

に対して本発明方法は有効である。

【0013】

【実施例】以下、本発明を具体的な実施例に基づいて説明する。図4において、発光ダイオード10は、サファイア基板1を有しており、そのサファイア基板1上に500 ÅのAlNのバッファ層2が形成されている。そのバッファ層2の上には、膜厚約2.0 μm、電子濃度 $2 \times 10^{18} / \text{cm}^3$ のシリコンドープGaNから成るn層3(請求項の第1層)が形成されている。そして、電極8を形成する電極形成領域Aを除いたn層3の上には、順に、膜厚約2.0 μm、電子濃度 $2 \times 10^{18} / \text{cm}^3$ のシリコンドープの($\text{Al}_{x_2} \text{Ga}_{1-x_2}$)_{y_2}In_{1-y_2}Nから成るn層4(請求項の第1層)、膜厚約0.3 μm、亜鉛(Zn)及びシリコンドープの($\text{Al}_{x_1} \text{Ga}_{1-x_1}$)_{y_1}In_{1-y_1}Nから成る発光層5、膜厚約1.0 μm、ホール濃度 $5 \times 10^{17} / \text{cm}^3$ 、マグネシウム濃度 $1 \times 10^{20} / \text{cm}^3$ のマグネシウムドープの($\text{Al}_{x_2} \text{Ga}_{1-x_2}$)_{y_2}In_{1-y_2}Nから成るp層61(第2層)、膜厚約0.2 μm、ホール濃度 $5 \times 10^{17} / \text{cm}^3$ 、マグネシウム濃度 $1 \times 10^{20} / \text{cm}^3$ のマグネシウムドープのGaNから成る第2コンタクト層62(第2層)、膜厚約500 Å、ホール濃度 $2 \times 10^{17} / \text{cm}^3$ 、マグネシウム濃度 $2 \times 10^{20} / \text{cm}^3$ のマグネシウムドープのGaNから成る第1コンタクト層63(第2層)が形成されている。

【0014】そして、第1コンタクト層63に接続する電極7とn層3の露出面である電極形成領域A上に電極8が形成されている。電極7は第1コンタクト層63上一様に厚さ60 Åに形成された金(Au)から成る層71を有しており、この層は透明電極として機能する。又、層71の上の一部にはワイヤがボンディングされるパッドとして機能する厚さ1.5 μmの金(Au)から成る層73とが形成されている。

【0015】又、電極8は、n層3に接合する厚さ1.5 μmのアルミニウム(Al)から成る層で構成されている。

【0016】次に、この構造の発光ダイオード10の製造方法について説明する。上記発光ダイオード10は、有機金属化合物気相成長法(以下「MOVPE」と記す)による気相成長により製造された。用いられたガスは、NH₃とキャリアガスH₂又はN₂とトリメチルガリウム(Ga(CH₃)₃)(以下「TMG」と記す)とトリメチルアルミニウム(Al(CH₃)₃)(以下「TMA」と記す)とトリメチルインジウム(In(CH₃)₃)(以下「TMI」と記す)と、ジエチル亜鉛(C₂H₅)₂Zn(以下「DEZ」と記す)とシラン(SiH₄)とシクロペンタジエニルマグネシウム(Mg(C₅H₅)₂)(以下「CP₂Mg」と記す)である。

【0017】まず、有機洗浄及び熱処理により洗浄したa面を正面とする単結晶のサファイア基板1をMOVPE装置の反応室に載置されたサセプタに装着する。次に、常圧でH₂を流速2 liter/分で反応室に流しながら温度1100°Cでサファイア基板1を気相エッチングした。

【0018】次に、温度を400°Cまで低下させて、H₂を

20 liter/分、NH₃ を10 liter/分、TMA を 1.8×10^{-5} モル/分で供給して、AlN のバッファ層2が約500Åの厚さに形成された。次に、サファイア基板1の温度を1150°Cに保持し、N₂又はH₂を20liter/分、NH₃ を 10liter/分、TMG を 1.12×10^{-4} モル/分、H₂ガスにより0.86ppmに希釈されたシランを 10×10^{-9} モル/分の割合で導入し、膜厚約2.2 μm、電子濃度 $2 \times 10^{18} / \text{cm}^3$ のシリコンドープのGaNから成るn層3を形成した。

【0019】上記のn層3を形成した後、続いて、サファイア基板1の温度を850 °Cに保持し、N₂又はH₂を10liter/分、NH₃ を 10liter/分、TMG を 1.12×10^{-4} モル/分、TMA を 0.47×10^{-4} モル/分、TMI を 0.1×10^{-4} モル/分、H₂ガスにより0.86ppmに希釈されたシランを 10×10^{-9} モル/分の割合で導入し、膜厚約0.5 μm、濃度 $1 \times 10^{18} / \text{cm}^3$ のシリコンドープの(Al_{0.47}Ga_{0.53})_{0.9}In_{0.01}Nから成るn層4を形成した。

【0020】続いて、温度を850 °Cに保持し、N₂又はH₂を20 liter/分、NH₃ を 10liter/分、TMG を 1.53×10^{-4} モル/分、TMA を 0.47×10^{-4} モル/分、TMI を 0.02×10^{-4} モル/分、DEZ を 2.0×10^{-4} モル/分及びH₂ガスにより0.86ppmに希釈されたシランを 10×10^{-9} モル/分で30分間導入し、膜厚約0.3 μmの亜鉛(Zn)とシリコン(Si)ドープの(Al_{0.3}Ga_{0.7})_{0.94}In_{0.06}Nから成る発光層5を形成した。この発光層5における亜鉛(Zn)とシリコン(Si)の濃度は、共に、 $5 \times 10^{18} / \text{cm}^3$ である。

【0021】続いて、温度を1100°Cに保持し、N₂又はH₂を20 liter/分、NH₃ を 10liter/分、TMG を 1.12×10^{-4} モル/分、TMA を 0.47×10^{-4} モル/分、TMI を 0.1×10^{-4} モル/分、及び、CP₂Mg を 2×10^{-4} モル/分導入し、膜厚約1.0 μmのマグネシウム(Mg)ドープの(Al_{0.47}Ga_{0.53})_{0.9}In_{0.01}Nから成るp層61を形成した。p層61のマグネシウムの濃度は $1 \times 10^{20} / \text{cm}^3$ である。この状態では、p層61は、まだ、抵抗率 $10^8 \Omega \text{cm}$ 以上の絶縁体である。次に、温度を850 °Cに保持し、N₂又はH₂を20 liter/分、NH₃ を 10liter/分、TMG を 1.12×10^{-4} モル/分、及び、CP₂Mg を 2×10^{-4} モル/分の割合で導入し、膜厚約0.2 μmのマグネシウム(Mg)ドープのGaNから成る第2コンタクト層62を形成した。第2コンタクト層62のマグネシウムの濃度は $1 \times 10^{20} / \text{cm}^3$ である。この状態では、第2コンタクト層62は、まだ、抵抗率 $10^8 \Omega \text{cm}$ 以上の絶縁体である。続いて、温度を850 °Cに保持し、N₂又はH₂を20 liter/分、NH₃ を 10liter/分、TMG を 1.12×10^{-4} モル/分、及び、CP₂Mg を 4×10^{-4} モル/分の割合で導入し、膜厚約500 Åのマグネシウム(Mg)ドープのGaNから成る第1コンタクト層63を形成した。第1コンタクト層63のマグネシウムの濃度は $2 \times 10^{20} / \text{cm}^3$ である。この状態では、第1コンタクト層63は、まだ、抵抗率 $10^8 \Omega \text{cm}$ 以上の絶縁体である。

【0022】次に、450°Cで45分間熱処理すること

により、第1コンタクト層63 第2コンタクト層62及びp層61は、それぞれ、ホール濃度 $2 \times 10^{17} / \text{cm}^3$ 、 $5 \times 10^{17} / \text{cm}^3$ 、 $5 \times 10^{17} / \text{cm}^3$ 、抵抗率 $2 \Omega \text{cm}$ 、 $0.8 \Omega \text{cm}$ 、 $0.8 \Omega \text{cm}$ のp伝導型半導体となった。このようにして、多層構造のウェハが得られた。

【0023】次に、第1コンタクト層63の上に、スペッタリングによりSiO₂層を2000Åの厚さに形成した。次に、そのSiO₂層上にフォトレジストを塗布した。そして、フォトリソグラフにより、第1コンタクト層63上において、n層3を露出させる電極形成領域Aのフォトレジストを除去した。

【0024】次に、フォトレジストによって覆われていないSiO₂層をフッ化水素酸系エッチング液で除去した。次に、フォトレジスト及びSiO₂層によって覆われていない部位の第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4を、真空度0.04Torr、高周波電力0.44W/cm²、BCl₃ガスを10 ml/分の割合で供給しドライエッチングした後、Arでドライエッチングした。この工程により、図1に示すように、n層3の表面を露出させて矩形状の電極形成領域Aを形成した。電極形成領域Aの周囲は、図1、図2に示すように、第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4の側壁81でとり囲まれている。

【0025】次に、第1コンタクト層63上に残っているSiO₂層をフッ化水素酸で除去した。次に、図4に示すように、第1コンタクト層63の表面一様に透明電極として、厚さ60 Åの金(Au)から成る層71を形成した。その後、ボンディングパッドとして、厚さ1.5 μmの金(Au)層73とを形成した。

【0026】一方、n層3の電極8として、厚さ1.5 μmのアルミニウム(Al)から成る層を形成した。

【0027】その後、温度600°Cにて1分間合金化処理を施して、図4に示す発光ダイオード10が2次元配列された図1に示す形状のウェハ30が形成された。

【0028】次に、図1に示すウェハ30において、各素子の電極7間の加工領域Eの中央に設定されたダイシングライン20に沿って、図2に示すように、加工領域Eの幅Wよりも狭い幅のブレード40を用いて、サファイア基板1の表面から15 μmの深さまでダイシングし、図3に示すように分離溝16を形成した。この時、図2に示すように、ブレード40の側面40aと電極形成領域Aの側壁81との間の領域Gには、第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4が存在する。よって、応力は電極形成領域AとL字形状に立設された側壁81との交線Bに集中することになり、ダイシング時に発生するクラックCはこの交線Bに向かって形成される。この結果、クラックCは電極形成領域A、従って、電極8の下部には侵入しない。よって、電極8に対する電流路がクラックCによつ

て妨害されることがない。

【0029】尚、図3に示すように、分離溝16のサファイア基板1での深さdは10~20μmが望ましい。

【0030】次に、図3に示すように、サファイア基板1の裏面1bにおいて、分離溝16に対面する位置にスクリープライン15を形成し、ウエハ30にローラによる荷重をかけて、各チップに分離した。

【0031】このように形成された発光ダイオード10のチップをリードフレームに取り付け、電極7の金層74及び電極8とリードフレームのランド間を金線でボンディングした。上記の発光ダイオード10において、n層3に対する電極8の接触抵抗は $10^{-6}\Omega\text{cm}$ 以下であった。又、ボンディング強度をワイヤブルテストにて確認したが、十分な接合強度が得られた。又、オーミック性は良好であった。

【0032】次に、第2実施例について説明する。この実施例では、図5、図6に示すように、n層3に対する電極形成領域Aを形成するエッティング工程において、電極7の下部に当たる発光領域Dの周囲にn層3が露出した溝21を形成している。そして、ブレード40でダイシングされる加工領域Eには第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4が存在する。発光領域Dの周辺に溝21を形成することのみが、第1実施例と異なる。

【0033】このように形成した後、図5に示すように、ウエハ30において、各素子の電極7間の加工領域Eの中央に設定されたダイシングライン20に沿って、図6に示すように、加工領域Eの幅Wよりも狭い幅のブレード40を用いて、ダイシングライン20に沿ってサファイア基板1の表面から $15\mu\text{m}$ の深さまでダイシングし、図7に示すように分離溝16を形成した。

【0034】この時、図6に示すように、加工領域Eにおいて、ブレード40の側面40a、40bと電極形成領域Aの側壁81a、81bとのそれぞれの間の領域G1、G2には、第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4が存在する。

【0035】よって、応力は電極形成領域AとL字形状に立設された側壁81a、81bとのそれぞれの交線B1、B2に集中することになり、ダイシング時にブレード40の両側に発生するクラックCはこの交線Bに向かって形成される。この結果、クラックCは加工領域Eの両側に存在する発光領域D及び片側に存在する電極形成領域Aの下部には侵入しない。よって、電流路がクラックCにより妨害されることなく、又、発光領域DがクラックCにより破壊されることがないために、発光素子の製造歩留り、発光効率、素子寿命が増大する。

【0036】尚、第1実施例、第2実施例における加工領域Eにおいて、第1コンタクト層63、第2コンタクト層62、p層61、発光層5及びn層4が残るそれぞれの領域G、領域G1、G2の幅は、 $2\mu\text{m} \sim 40\mu\text{m}$

の範囲であることが望ましい。 $2\mu\text{m}$ より狭いとクラックをそれらの領域に閉じ込める効果が少なく、 $40\mu\text{m}$ より広いと、1枚のウエハから取れる発光素子の数が低下するために望ましくない。

【0037】各層の構成成分、組成比は上記実施例で記述したものに限定されるものではなく、2元、3元、4元の3族窒化物半導体を用いることができる。又、基板には、サファイアの他、SiC等を用いることもできる。さらに、電極7、8の形状は、矩形形状としたが、これに限定されるものではなく、電極8を円形状として、電極7をその部分円弧状に切り取られた形状としても良い。

【図面の簡単な説明】

【図1】本発明の第1実施例の分離方法を示すための半導体発光素子を形成したウエハの平面断面図。

【図2】第1実施例の分離方法の工程を示したウエハの正面断面図。

【図3】第1実施例の分離方法の工程を示したウエハの正面断面図。

【図4】第1実施例の基板上に形成された発光ダイオードの構成を示した断面図。

【図5】第2実施例にかかる分離方法を示すための半導体発光素子を形成したウエハの平面断面図。

【図6】第2実施例の分離方法の工程を示したウエハの正面断面図。

【図7】第2実施例の分離方法の工程を示したウエハの正面断面図。

【図8】従来の分離方法の工程を示したウエハの平面断面図。

【図9】従来の分離方法の工程を示したウエハの正面断面図。

【符号の説明】

10 10…発光ダイオード

1…サファイア基板

2…バッファ層

3…n層

4…n層

5…発光層

7, 8…電極

40 15…スクリープライン

16…分離溝

21…溝

30…ウエハ

40…ブレード

40a, 40b…ブレードの側面

61…p層

62…第2コンタクト層

63…第1コンタクト層

71…金層

73…金層

81 … 側壁

A … 電極形成領域

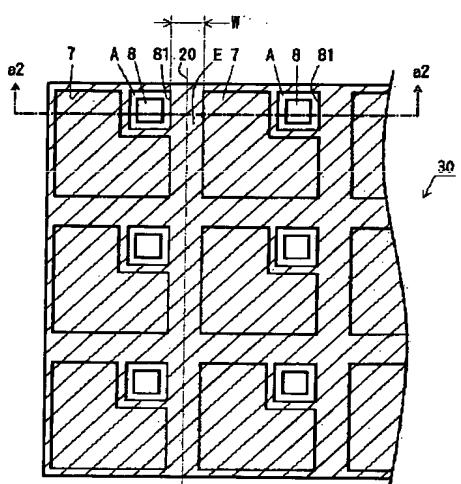
B … 交線

C … クラック

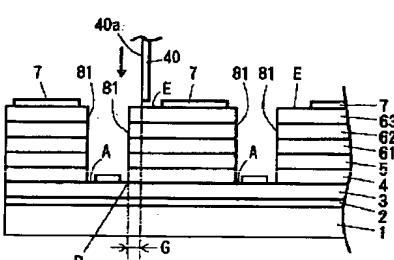
D … 発光領域

E … 加工領域

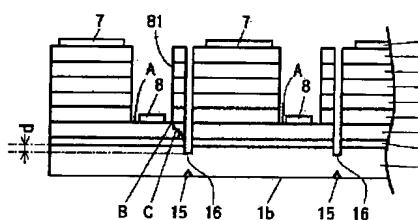
【図 1】



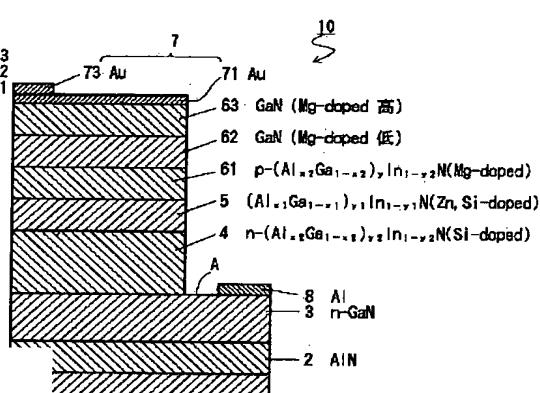
【図 2】



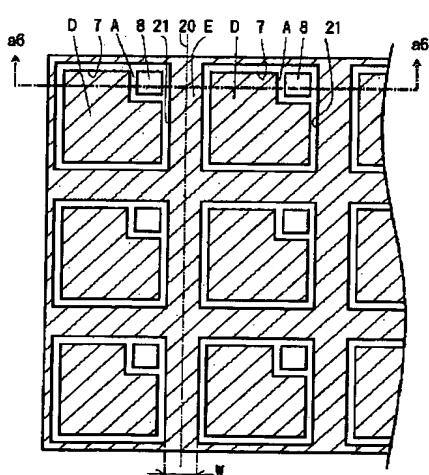
【図 3】



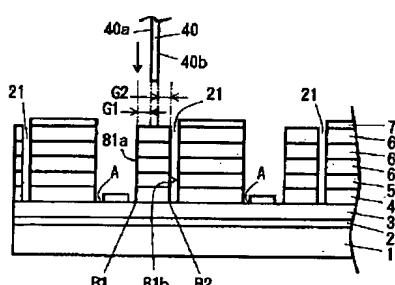
【図 4】



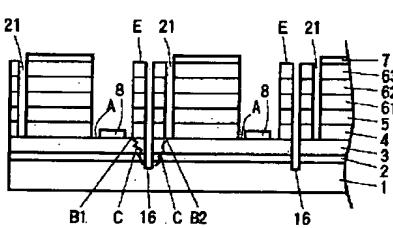
【図 5】



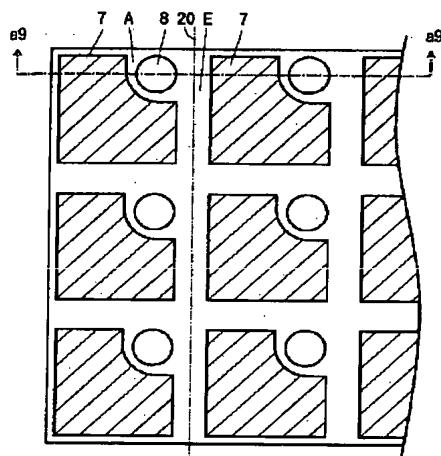
【図 6】



【図 7】



【図 8】



【図 9】

